

PCT

世界知的所有権機関
国際事務局
特許協力条約に基づいて公開された国際出願



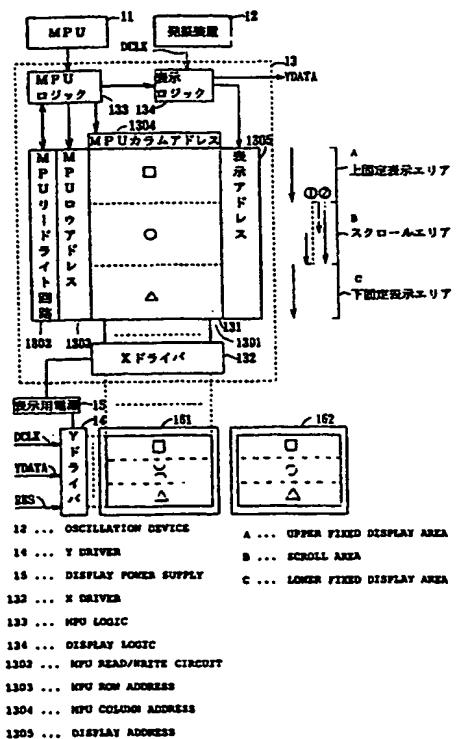
(51) 国際特許分類6 G09G 5/34, 3/36	A1	(11) 国際公開番号 WO00/02189
		(43) 国際公開日 2000年1月13日(13.01.00)
(21) 国際出願番号 PCT/JP99/03642		(81) 指定国 JP, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE)
(22) 国際出願日 1999年7月5日(05.07.99)		
(30) 優先権データ 特願平10/189424 1998年7月3日(03.07.98)	JP	添付公開書類 国際調査報告書
(71) 出願人 (米国を除くすべての指定国について) セイコーエプソン株式会社 (SEIKO EPSON CORPORATION)[JP/JP] 〒163-0811 東京都新宿区西新宿二丁目4番1号 Tokyo, (JP)		
(72) 発明者 ; および (75) 発明者 / 出願人 (米国についてのみ) 石山久展(ISHIYAMA, Hisanobu)[JP/JP] 〒392-8502 長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内 Nagano, (JP)		
(74) 代理人 弁理士 鈴木喜三郎, 外(SUZUKI, Kisaburo et al.) 〒392-8502 長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社 知的財産部内 Nagano, (JP)		

(54) Title: SEMICONDUCTOR DEVICE, IMAGE DISPLAY SYSTEM AND ELECTRONIC SYSTEM

(54) 発明の名称 半導体装置、画像表示システム、及び電子システム

(57) Abstract

A free address skipping count can be implemented and part of a screen can be scrolled by providing a register for storing a display address of a fixed display area, a register for storing an address in a scroll region and a register for storing an address at which scrolling is started and by setting as required addresses stored in the above registers in a counter for counting a display address in a display RAM (131). This method can drastically reduce the number of accesses to MPU (11) and power consumption compared with a case where data in the display RAM (131) is rewritten before scrolling, and can prevent the disclosure of data being scrolled when MPU (11) is interrupted during scrolling.



固定表示エリアの表示アドレスを記憶するレジスタ、スクロール領域のアドレスを記憶するレジスタ、スクロールを開始するアドレスを記憶するレジスタ等を有し、表示RAM131の表示アドレスをカウントするカウンタに上記レジスタに記憶されたアドレスを適宜セットすることにより、アドレスの自由な飛び越しカウントを実現し、画面の一部分をスクロールすることができる。これにより、表示RAM131のデータを書き換えてスクロールする場合に比べて、MPU11のアクセス回数が大幅に少なくなり、消費電力を少なくすることができる。又、スクロール中にMPU11に割り込み等が入った場合、スクロール中のデータが見えることを回避できる。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE アラブ首長国連邦	DM ドミニカ	KZ カザフスタン	RJ ロシア
AL アルバニア	EE エストニア	LC セントルシア	SD スーダン
AM アルメニア	ES スペイン	LI リヒテンシュタイン	SE スウェーデン
AT オーストリア	FI フィンランド	LK スリ・ランカ	SG シンガポール
AU オーストラリア	FR フランス	LR リベリア	SI スロヴェニア
AZ アゼルバイジャン	GA ガボン	LS レソトニア	SK スロヴァキア
BA ボスニア・ヘルツェゴビナ	GB 英国	LT リトアニア	SL シエラ・レオネ
BB バルバドス	GD グレナダ	LU ルクセンブルグ	SN セネガル
BE ベルギー	GE グルジア	LV ラトヴィア	SZ スウェーデン
BF ブルガリア・ファソ	GH ガーナ	MA モロッコ	TD チャード
BG ブルガリア	GM ガンビア	MC モナコ	TG トーゴ
BJ ベナン	GN ギニア	MD モルドバ	TJ タジキスタン
BR ブラジル	GW ギニア・ビサオ	MG マダガスカル	TZ タンザニア
BY ベラルーシ	GR ギリシャ	MK マケドニア(旧ユーゴスラヴィア	TM トルクメニスタン
CA カナダ	HR クロアチア	共和国	TR トルコ
CF 中央アフリカ	HU ハンガリー	ML マリ	TT トリニダッド・トバゴ
CG コンゴ	ID インドネシア	MN モンゴル	TA タクラマ
CH スイス	IE アイルランド	MR モーリタニア	UG ウガンダ
CI コートジボアール	IL イスラエル	MW マラウイ	US 米国
CM カメルーン	IN インド	MX メキシコ	UZ ウズベキスタン
CN 中国	IS アイスランド	NE ニジエール	VN ヴィエトナム
CR コスタ・リカ	IT イタリア	NL オランダ	YU ユーロッパ
CU キューバ	JP 日本	NO ノールウェー	ZA 南アフリカ共和国
CY キプロス	KE ケニア	NZ ニュージーランド	ZW ジンバブエ
CZ チェコ	KG キルギスタン	PL ポーランド	
DE ドイツ	KP 北朝鮮	PT ポルトガル	
DK デンマーク	KR 韓国	RO ルーマニア	

明細書

半導体装置、画像表示システム、及び電子システム

技術分野

5 本発明は、表示装置に表示された表示データの位置を効率よく変更するために用いられる半導体装置、この半導体装置を用いた画像表示システム、及びこの画像表示システムを用いた電子システムに関するものである。更に詳しくは、表示RAM (Random Access Memory) に記憶された表示データを画像表示システムに供給する順番に関するものである。

10

背景技術

表示装置として用いられる液晶ディスプレイ (Liquid Crystal Display、以下、「LCD」という) を表示するためには、LCDドライバと呼ばれる半導体装置が用いられる。LCDドライバには、LCDのデータ電極を駆動するセグメントドライバ (以下、「Xドライバ」という) と、LCDの走査電極を駆動するコモンドライバ (以下、「Yドライバ」という) とが存在する。Xドライバは、LCDに表示すべき表示データを、表示コントローラと呼ばれる回路を介して表示RAMより受け取り、LCDを駆動するために必要な電圧に変換する回路である。Yドライバは、Xドライバから供給されるデータ信号を書き込むラインを選択するデータを表示コントローラを介して受け取り、選択／非選択の電圧をLCDを駆動するために必要な電圧に変換する回路である。通常では、線順次に選択ラインが走査される。

20 近年、半導体製造技術及び回路技術の進歩により、Xドライバ、表示RAM、表示コントローラを1つのICに集積したり、更に、Yドライバ及びLCD表示用電源回路も集積することができるようになり、表示システムにおけるチップ数の削減及び消費電力の削減が進んでいる。

第2図は、従来の画像表示システムの概略の構成図である。

この画像表示システムは、マイクロプロセッサ (以下、「MPU」という) 1を有している。MPU 1は、中央演算処理装置で構成され、LCDに表示したい

表示データを表示RAMに書き込むための信号を発生する機能を有している。発振装置2は、LCDの表示に必要な基準クロックを発生する機能を有している。RAM内蔵Xドライバ3は、表示RAM31、図で明示していないがMPUロジック33と表示ロジック34とで構成される表示コントローラ、及びXドライバ32を1チップに内蔵したものである。Yドライバ4は、Xドライバ32から供給されるデータ信号を書き込むラインを選択するデータを表示コントローラを介して受け取り、選択／非選択の電圧をLCDを駆動するために必要な電圧に変換する回路である。表示用電源5は、LCDの表示に必要な電圧を発生させる機能を有している。LCDパネル61, 62は、同一のものであるが、異なる画面を表示した場合を表している。表示RAM31は、MPUインターフェースと表示系のインターフェースとを非同期に行うデュアルポートRAMで構成されている。Xドライバ32は、表示RAM31から読み出された表示データをLCD表示に必要な電圧に変換する回路である。MPUロジック回路33は、MPU1から送られたコマンドの処理や、表示RAM31に読み書きする表示データの制御等、MPU1に関わる処理を行う機能を有している。表示ロジック回路34は、表示RAM31から表示データを読み出してXドライバ32に供給する制御や、Yドライバ4の制御等の表示に関わる制御を行う機能を有している。メモリ領域301は、表示データを記憶する領域である。MPUリードライト回路302は、メモリ領域301に読み書きの制御を行う回路である。MPUロウアドレス303は、MPU読み書き時のメモリ領域301のY(ロウ)方向のアドレスを示すデコーダである。MPUカラムアドレス304は、MPU読み書き時のメモリ領域301のX(カラム)方向のアドレスを出力するデコーダである。表示アドレス305は、メモリ領域301に記憶された表示データのうち、Xドライバ32へ供給する表示データを読み出すためのデコーダである。

LCDパネル61の表示容量は320×240ドットであり、パネルの左側にコモン電極を240本、及び上側にセグメント電極を320本有している。RAM内蔵Xドライバ3に内蔵されている表示RAM31の容量は、LCDパネル61の表示容量と同じ320×240ピットである。表示RAM31のMPUカラムアドレス304は、LCDパネル61のX方向のドット数と同じ320のアドレス

を有している。表示RAM31のMPUロウアドレス303は、8ビット同時書き込みであるので、LCDパネル61のY方向のドット数である240を8で割った結果である30のアドレスを有している。MPU1は、任意のアドレスをMPUカラムアドレス304とMPUロウアドレス303とにMPUロジック回路33を介して指定することにより、表示したいデータを表示RAM31の任意の位置にMPUロジック回路33及びMPUリードライト回路302を介して書き込むことができる。表示データは、1ビットがLCDパネル61の表示の1ドットに相当する表示データが“0”であればLCDパネル61の対応する所定のドットは白色に表示され、“1”であれば黒色に表示されるようになっている。

表示アドレス305は、LCDパネル61のY方向のドット数と同じ240のアドレスを有している。表示ロジック回路34は、表示アドレス“0”～“239”的うちのいずれか1つのアドレスを指定する。表示RAM31は、表示アドレスが指定されたとき、LCDパネル61のX方向のドット数と同じ320ビットのデータをパラレルに出力し、Xドライバ32に供給するものである。Xドライバ32は、受け取った表示データをLCDパネル61を駆動するために必要な電圧に変換し、LCDパネル61へ供給して駆動するものである。

第3図は、第2図の画像表示システムの動作を説明するための各部の信号のタイムチャートであり、縦軸に論理レベル、及び横軸に時間がとられている。この図を参照しつつ、第2図の動作を説明する。

信号401はリセット(RES)信号、信号402は発振装置2から供給される基準クロックDCLK、信号403, 412は表示ロジック回路34に含まれる図示しないアドレスカウンタの出力、信号404, 413は表示RAM31のデータがXドライバ32において基準クロックDCLKの立ち上がりで取り込まれたXドライバデータ、信号405はYドライバ4へ供給される選択信号YDATA、信号406～411はYドライバ4中の図示しない240段シフトレジスタにて転送される選択データである。

リセット信号RESの立ち上がりエッジにより、表示ロジック回路34中の図示しないアドレスカウンタの出力は、信号403に示すように“0”に初期化される。それ以後、基準クロックDCLK4O2の立ち上がりエッジにより図示しな

WO 00/02189

いアドレスカウンタの出力は信号 403 に示すようにカウントアップされ、“239”までカウントされると“0”に戻る。アドレスカウンタの出力信号である信号 403 は、表示アドレス 305 に供給され、表示アドレスが“0”～“239”まで順に指定される。

5 YDATA405 は、Yドライバ4に供給される選択信号であり、“H”がライン選択に対応し、“L”が非選択に対応する信号である。YDATA405 は、リセット信号 RES の立ち上がりエッジから次の基準クロック DCLK の立ち上がりエッジまで“H”になる。それ以後、基準クロック DCLK の 240 発毎に“H”になる。Yドライバ4は、基準クロック DCLK の立ち下がりエッジにて YDATA を取り込み、図示しない内部の 240 段シフトレジスタによって YDATA を転送する。
10 15 240 段シフトレジスタの各レジスタの出力は信号 406～411 のようになり、Y 液晶表示に必要な電圧に変換されて LCD パネル 61 へ供給され、LCD パネル 61 が駆動される。LCD パネル 61 の上端の端子には、信号 Y0(406)のデータが液
晶表示に必要な電圧に変換されて供給され、その下の隣の端子には信号 Y1(407) のデータが供給され、又、その下の隣の端子には信号 Y2(408)のデータが同様に供給される。つまり、240 本あるコモン電極のうちの 1 本が選択され、上端から下端の電極に向かって選択電極が走査される。

表示 RAM31 の表示アドレス 305 は、上端から下端に“0”～“239”的
20 アドレスが付されている。第2図に示すように、メモリ領域 301 には、MPU 1 により、表示アドレスの“0”～“239”に渡って、“□”、“○”及び“△”のデータが書き込まれている。この表示データは、メモリ領域 301 のうち、“1”と書いたところが黒の表示になり、“0”と書いたところが白の表示となることから、図式的に表したもので、実際にはメモリ領域 301 に電気的に書き込まれたものである。

第3図中のアドレスカウンタの出力信号 403 のように、リセット信号 RES により表示アドレスが“0”に初期化されると、次の基準クロック DCLK の立ち下がりエッジにより Xドライバ 32 は表示アドレス“0”的表示データを X ドライバデータ 404 のようにセグメント電極に出力する。そのとき、Yドライバ4

は、信号 Y0(406)に示すように、LCDパネル 61 の上端のコモン電極に選択信号を出しているので、LCDパネル 61 の上端のラインに表示アドレス“0”的データが書き込まれて表示される。次の基準クロック DCLK の立ち下がりエッジにより、Xドライバ 32 は表示アドレス“1”的表示データをXドライバデータ 404 のようにセグメント電極に出力する。そのとき、Yドライバ 4 は、信号 Y1(407)に示すように、LCDパネル 61 の上端から 2 番目のコモン電極に選択信号を出しているので、LCDパネル 61 の上端から 2 番目のラインに表示アドレス“1”的データが書き込まれて表示される。同様に、次の基準クロック DCLK(402)の立ち下がりエッジにより、次の表示データが次の選択ラインに書き込まれて表示される。今、表示RAM31 には表示アドレスの“0”～“239”に渡って、データ“□”, “○”, “△”が書き込まれており、表示アドレスは“0”から“239”までカウントされつつ進められ、コモン電極は上側から 1 ラインづつ線順次に選択されるので、結果として、LCDパネル 61 に表示されるのは、第 2 図に示したように、表示RAM31 の表示アドレス“0”～“239”的順番に従い、LCDパネル 61 の上側から下側に表示される。

次に、第 3 図のアドレスカウンタの出力 412 のように、リセット信号 RES(401)により表示アドレスを例えば“120”に初期化すると、次の基準クロック DCLK(402)の立ち下がりエッジにより、Xドライバ 32 は表示アドレス“120”的表示データをXドライバデータ(413)のようにセグメント電極に出力する。そのとき、Yドライバ 4 は、信号 Y0(406)に示すように、LCDパネル 62 の上端のコモン電極に選択信号を出しているので、LCDパネル 62 の上端のラインに表示アドレス“120”的データが書き込まれて表示される。次の基準クロック DCLK(402)の立ち下がりエッジにより、Xドライバ 32 は表示アドレス“121”的表示データをXドライバデータ(413)のようにセグメント電極に出力する。そのとき、Yドライバ 4 は、信号 Y1(407)に示すように、LCDパネル 62 の上端から 2 番目のコモン電極に選択信号を出しているので、LCDパネル 62 の上端から 2 番目のラインに表示アドレス“121”的データが書き込まれて表示される。同様に、次の基準クロック DCLK(402)の立ち下がりエッジにより、次の表示データが次の選択ラインに書き込まれて表示される。今、表示 R

WO 00/02189

AM31 には、表示アドレスの “0” ~ “239” に渡ってデータ “□”, “○”, “△” が書き込まれているとする。表示アドレスは、“120” から “239” までカウントされつつ進められると “0” に戻り、再び “0” からカウントされつつ進められ、コモン電極が上側から 1 ラインづつ線順次に選択されるので、結果として、第 2 図に示したように、表示 RAM31 の下側（即ち、表示アドレス “120” ~ “239”）が LCD パネル 62 の上側（上から 1 ~ 120 ライン）に表示され、表示 RAM31 の上側（表示アドレス “0” ~ “119”）が LCD パネル 62 の下側（上から 121 ~ 240 ライン）に表示される。

CD パネル 62 の下側（上から 121 ~ 240 ライン）に表示される表示ロジック回路 34 中にある図示しないアドレスカウンタの表示アドレスは MPU1 リセット信号 RES(401) のタイミングで所定の初期値にセットされる。MPU1 は、表示アドレスの初期値を、MPU ロジック回路 33 を介して自由に設定することができる。従って、MPU1 は、表示 RAM31 の表示データを書き換えることなく、第 3 図の図示しないアドレスカウンタに LCD パネル 61 の上端に表示したい表示アドレスの初期値を書き込むだけで、画面の縦方向のスクロールを行うことができる。

しかしながら、アドレスカウンタが “239” までカウントして “0” に戻ってしまう上記の構成によると、LCD パネル 61 の全画面がスクロールしてしまう。この構成によると、例えば、LCD パネル 61 の表示領域の上側や下側にスクロールしたくない表示があり、画面の一部だけをスクロールしたいという場合には、表示 RAM31 中のスクロールしたい領域の表示データを MPU1 から MPU ロジック回路 33 を介して書き換えなければならない。この場合、MPU1 から RAM 内蔵 X ドライバ 3 に対するアクセス回数が大きく増加し、表示システムの消費電力が増大する。更に、スクロールする表示データの書き換え中に MPU1 に他の割込み信号が入り、表示の書き換えが途中で中断された場合には、スクロール途中の書き換え中の表示データが LCD パネル 61 に表示されてしまうという問題点があった。

発明の開示

そこで、上記問題点に鑑み、本発明の目的は、前記の問題点を解決した半導体

装置、画像表示システム及びこれらを用いた電子システムを提供することにある。

前記目的を達成するために、本発明の第1の態様は、表示データを記憶するメモリと、前記表示データに基づく論理電圧を、表示装置を駆動するための駆動電圧に変換する電圧変換部とを備え、基準クロックに従って前記表示データを前記メモリから読み出し、該読み出された表示データに対応して変換された前記駆動電圧を前記表示装置に供給する半導体装置において、前記メモリのアドレスをカウントするカウント部と、任意のアドレスを記憶するレジスタとを備え、前記メモリに記憶された表示データを読み出す順番を前記レジスタの内容に基づいて任意に設定することを特徴としている。

本発明の第2の態様は、表示データを記憶するメモリと、基準クロックに従つて前記表示データを前記メモリから読み出し、該読み出された表示データを電圧変換部に供給する表示コントローラと、前記供給された表示データに基づく論理電圧を表示装置を駆動するための駆動電圧に変換し、該表示装置に該駆動電圧を供給する電圧変換部とを、備えた半導体装置において、前記表示コントローラは、前記メモリのアドレスをカウントするカウント部と、任意のアドレスを記憶するレジスタとを備え、前記メモリに記憶された表示データを読み出す順番を前記レジスタの内容に基づいて任意に設定することを特徴としている。

本発明の第3の態様は、画像表示システム少なくとも1つの固定表示エリアと少なくとも1つのスクロール可能な表示エリアとを有することを特徴としている。

このような構成を採用したことにより、本発明では、任意のアドレスを記憶するレジスタを備えることにより、表示装置に与える表示データを記憶するメモリの表示アドレスを指定する順番は、任意のアドレスから任意のアドレスまでカウントした後、任意のアドレスに飛び、任意のアドレスまでカウントされる。そのため、メモリのデータを書き換えることなく、表示の部分的なスクロールが行われる。これにより、本発明の半導体装置は、画像表示システム及び電子システムに好適に用いることができる。

図面の簡単な説明

第1図は、本発明の第1の実施形態の画像表示システムの構成図である。

WO 00/02189

第2図は、従来の画像表示システムの構成図である。

第3図は、第2図のタイムチャートである。

第4図は、第1図中の表示ロジック回路134の回路図である。

第5図は、第4図中的一致検出回路514の回路図である。

5

第6図は、第1図のタイムチャートである。

第7図は、第4図のタイムチャートである。

第8図は、本発明の第2の実施形態の画像表示システムの構成図である。

第9図は、第8図のタイムチャートである。

第10図は、本発明の第3の実施形態の画像表示システムである。

10

第11図は、第10図中の表示ロジック134Bの回路図である。

第12図は、第11図のタイムチャートである。

発明を実施するための最良の形態

第1の実施形態

15

第1の実施形態を図面に基づいて説明する。

第1図は、本発明の第1の実施形態を示す画像表示システムの概略の構成図である。

この画像表示システムは、MPU11を有している。MPU11は、中央演算処理装置で構成され、LCDに表示したい表示データを表示RAMに書き込む信号

20 25 を発生する機能を有している。発振装置12は、LCD表示に必要な基準クロックを発生する機能を有している。RAM内蔵Xドライバ13は、表示RAM131、

Y表示コントローラ、及びXドライバ132を1チップに内蔵したものである。Yドライバ14は、Xドライバ132から供給されるデータ信号を書き込むラインを

選択するデータを表示コントローラを介して受け取り、選択/非選択の電圧をLCDを駆動するために必要な電圧に変換する回路である。表示用電源15は、LCDの表示に必要な電圧を発生する機能を有している。LCDパネル161、162

は、同一のものであるが、異なる画面を表示した場合を表している。表示RAM131は、MPUインターフェースと表示系のインターフェースとを同期に行うデュ

アルポート RAM で構成されている。X ドライバ 132 は、表示 RAM 131 から読み出された表示データを LCD 表示に必要な電圧に変換する回路である。MP U ロジック回路 133 は、MPU11 から送られたコマンドの処理や、表示 RAM 131 に読み書きする表示データの制御等、MPU11 に関わる処理を行う機能を 5 有している。表示ロジック回路 134 は、表示 RAM 131 から表示データを読み出して X ドライバ 132 に供給する制御や、Y ドライバ 14 の制御等の表示に関わる制御を行う機能を有している。メモリ領域 1301 は、表示データを記憶する領域である。MPUリードライト回路 1302 は、メモリ領域 1301 に読み書きの制御を行う回路である。MPUロウアドレス 1303 は、MPU読み書き時のメモリ領域 10 1301 の Y (ロウ) 方向のアドレスを示すデコーダである。MPUカラムアドレス 1304 は、MPU読み書き時のメモリ領域 1301 の X (カラム) 方向のアドレスを示すデコーダである。表示アドレス 1305 は、メモリ領域 1301 に記憶された表示データのうち、X ドライバ 132 へ供給する表示データを読み出すためのデコーダである。

15 LCD パネル 161 の表示容量は 320×240 ドットであり、パネルの左側にコモン電極を 240 本、及び上側にセグメント電極を 320 本有している。RAM 内蔵 X ドライバ 13 に内蔵されている表示 RAM 131 の容量は、LCD パネル 161 の表示容量と同じ 320×240 ピットである。表示 RAM 131 の MPU カラムアドレス 1304 は、LCD パネル 61 の X 方向のドット数と同じ 320 20 のアドレスを持っている。表示 RAM 131 の MPU ロウアドレス 1303 は、8 ピット同時書き込みであるので、LCD パネル 161 の Y 方向のドット数である 240 を 8 で割った結果である 30 のアドレスを有している。MPU11 は、任意のアドレスを MPU カラムアドレス 1304 と MPU ロウアドレス 1303 とに MPU ロジック回路 133 を介して指定することにより、表示したいデータを表示 RAM 131 の任意の位置に MPU ロジック回路 133 及び MPU リードライト回路 25 1302 を介して書き込むことができる。表示データは、1 ピットが LCD パネル 161 の表示の 1 ドットに相当する。表示データが “0” であれば LCD パネル 161 の対応する所定のドットは白色に表示され、“1” であれば黒色に表示されるようになっている。

WO 00/02189

表示アドレス 1305 は、LCDパネル 161 のY方向のドット数と同じ240のアドレスを有している。表示ロジック回路 134 は、表示アドレス“0”～“239”的うちのいずれか1つのアドレスを指定する。表示RAM 131 は、表示アドレスが指定されると、LCDパネル 161 のX方向のドット数と同じ320ビットのデータをパラレルに出力し、Xドライバ 132 に供給するのである。Xドライバ 132 は、受け取った表示データをLCDパネル 161 を駆動するために必要な電圧に変換し、LCDパネル 161 へ供給して駆動するものである。

第4図は、第1図中の表示ロジック回路 134 の回路図である。

この表示ロジック回路 134 では、カウンタ 501～503 は、セットリセット付きの8ビットアドレスカウンタである。レジスタ 504～509 は、8ビットのアドレスを記憶するものである。カウンタ 510 は、リセット付きの8ビットカウンタである。セレクタ 511～513 は、8ビット2系統のデータA又はデータBのいずれかを選択するものであり、セレクト端子Sに“L”を入力することによりデータAを選択し、“H”を入力することによりデータBを選択するものである。一致検出回路 514 は、8ビット2系統のデータを比較するものである。セットリセットフリップフロップ（以下、「RSFF」という）515 は、リセット端子Rに“H”パルスが入力されると“L”を出力し、セット端子Sに“H”パルスが入力されると“H”を出力するものである。ORゲート 516 は、2つの入力信号の論理和をとる回路である。信号 525 は、アドレスカウント出力である。

第5図は、第4図中的一致検出回路 514 の一例を示す回路図である。

この一致検出回路 514 では、符号 517 はイクスクルーシブNOR回路（以下、「EXN」という）、符号 518 は4入力のAND回路、符号 519 は2入力のAND回路、符号 520 はインバータ、符号 521 は遅延フリップフロップ（以下、「DFF」という）、符号 522 は8ビット比較出力、符号 523 はD-F-F出力、符号 524 は一致検出出力を示している。

第6図は第1図の動作を説明するための各部の信号のタイムチャート、及び第7図が第4図の動作を説明するための各部の信号のタイムチャートであり、縦軸に論理レベル、及び横軸に時間がとられている。これらの第6図、第7図及び第4図を参照しつつ、第1図の画像表示システムの動作を説明する。

信号 1401 はリセット(RES)信号、信号 1402 は発振装置 12 から供給される基準クロック DCLK、信号 1403, 1412 は表示ロジック回路 134 に含まれる図示しないアドレスカウンタの出力、信号 1404, 1413 は表示 RAM131 のデータが X ドライバ 132 にて基準クロック DCLK の立ち下がりで取り込まれた X ドライバ 5 データ、信号 1405 は Y ドライバ 14 へ供給される選択信号 YDATA、信号 1406~1411 は Y ドライバ 14 中の図示しない 240 段シフトレジスタにて転送される選択データである。

選択信号 YDATA(1405)は、Y ドライバ 14 に供給される選択信号であり、“H”がライン選択に対応し、“L”が非選択に対応する信号である。選択信号 10 YDATA(1405)は、リセット信号 RES の立ち上がりエッジから次の基準クロック DCLK の立ち上がりエッジまで “H” になる。それ以後、基準クロック DCLK の 240 発毎に “H” になる。Y ドライバ 14 は、基準クロック DCLK の立ち下がりエッジにて選択信号 YDATA を取り込み、図示しない内部の 240 段シフトレジスタによって選択信号 YDATA を転送する。240 段シフトレジスタの各レジスタの出力は、信号 1406~1411 のようになり、Y ドライバ 14 の 240 個ある各端子のデータになる。その各レジスタの出力は、液晶表示に必要な電圧に変換されて LCD パネル 161 へ供給され、LCD パネル 161 が駆動される。LCD パネル 161 の上端の端子には、信号 Y0(1406)のデータが液晶表示に必要な電圧に変換されて供給され、その下の隣の端子には信号 Y1(1407)のデータが供給され、又、その下の隣の端子には信号 Y2(1408)のデータが同様に供給される。20 つまり、240 本あるコモン電極のうちの 1 本が選択され、上端から下端の電極に向かって選択電極が走査される。

表示 RAM131 の表示アドレス 1305 は、上端から下端に “0” ~ “239” のアドレスが付けられている。第 1 図に示したように、メモリ領域 1301 には M 25 PU11 により表示アドレスの “0” ~ “239” に渡って “□”、“○” 及び “△” のデータが書き込まれている。更に、詳しくは、表示アドレスの “0” ~ “79” に渡ってデータ “□”、表示アドレスの “80” ~ “159” に渡ってデータ “○”、及び表示アドレスの “160” ~ “239” に渡ってデータ “△” が書き込まれている。尚、この表示データは “1” と書いたところが黒の

WO 00/02189

表示、“0”と書いたところが白の表示となることから図式的に表したもので、実際にはメモリ領域1301に電気的に書き込まれたものである。

表示RAM131は、表示アドレスが入力されると、そのアドレスの320ビットの表示データをXドライバ32に対して供給するので、表示アドレスを“0”から“239”まで1つづつ基準クロックDCLKに同期してインクリメントしていけば、Xドライバ32は基準クロックの立ち下がりでデータを取り込み、電圧を変換して出力するので、Yドライバ14によりコモン電極の上端の電極が選択されているときには表示アドレス“0”的データがセグメント電極に出力され、コモン電極の上端から2番目の電極が選択されているときには表示アドレス“1”的データがセグメント電極に出力されて表示されるという具合に、順に表示される。

本実施形態は、表示アドレスをカウントするデータを様々に変え、表示画面の上下に固定表示エリアを持ち、その間の表示をスクロールする方法を示すものであり、具体的には、“□”, “△”の表示を動かさず（固定表示）とし、“○”の表示データのみをスクロールするものである。尚、“□”の表示データが書かれている例えば表示アドレス“0”～“79”を上固定表示エリア、“△”の表示データが書かれている例えば表示アドレス“160”～“239”を下固定表示エリアと呼ぶ。

第7図において、信号401はリセット信号RES、信号402は発振装置12より供給される基準クロックDCLK、信号414はカウンタ501の出力、信号415はEXN517の出力、信号416はD-F-F521の出力、信号417はカウンタ501とレジスタ504の一致検出出力、信号418はセレクタ511のセレクト端子501とレジスタ504への入力、信号419はカウンタ502の出力、信号420はカウンタ502とレジスタ507の一致検出出力、信号421はカウンタ510とレジスタ508の一致検出端子507への入力、信号422はカウンタ503の出力、信号423はカウンタ503と固定アドレス“239”的一致検出出力、信号424はセレクタ512のセレクト端子Sへの入力、信号425はセレクタ513のセレクト端子Sへの入力、信号426は表示アドレス1305に入力するアドレスカウント出力である。

リセット信号RES(401)の立ち上がりエッジにより、カウンタ501は“0”が

セットされて“0”を出力し、カウンタ 502, 503、及びカウンタ 510 はリセットされて“0”を出力し、セレクタ 512, 513 が R S F F 515 を介して端子 S に“L”が入力されてデータ A が選択される。セレクタ 2, 3 がデータ A を選択しているので、アドレスカウント出力 525 にはカウンタ 501 が出力している 5 “0”を出力している。アドレスカウント出力 525 は、第 1 図中の表示 R A M 131 の表示アドレス 1305 に供給され、表示アドレスが選択される。

レジスタ 504～509 には、M P U 11 より M P U ロジック回路 133 を介して、スクロールエリア、固定表示エリア、及び表示ライン数を示す任意のアドレスが書き込まれている。即ち、レジスタ 504 には、上固定表示エリアである“□” 10 が書き込まれている表示アドレスの最後である“7 9”が書き込まれている。レジスタ 505 には、スクロールエリアである“○”の書き込まれている表示アドレスの“8 0”～“1 5 9”のうち、先頭に表示したいスクロールスタートアドレス“1 2 0”が書き込まれている。レジスタ 506 には、固定表示エリアである“□”が書き込まれている表示アドレスの最後である“7 9”に“1”を表示 15 ロジック回路 133 にて加算した“8 0”が書き込まれている。レジスタ 507 には、スクロールエリアである“○”が書き込まれている表示アドレスの最後である“1 5 9”が書き込まれている。レジスタ 508 には、表示ライン数である“2 4 0”から、下固定表示エリアである“△”が書き込まれている表示アドレスの表示ライン数に相当する“8 0”を減じた“1 6 0”から更に“1”を減じた“1 5 9”が書き込まれている。レジスタ 509 には、下固定表示エリアである“△”が書き込まれている表示アドレスの先頭である“1 6 0”が書き込まれ 20 ている。

発振装置 12 より供給される基準クロック DCLK の立ち上がりエッジにてカウンタ 501 はカウントアップする。カウンタ 501 が“7 9”までカウントアップすると、レジスタ 504 に記憶されている上側の固定表示エリアの最終アドレス“7 9”と一致するので、一致検出回路 514 により一致が検出され、基準クロック DCLK の次の立ち上がりエッジから立ち下がりエッジまでの半クロック期間“H”を出力する。

ここで、一致検出回路 514 の動作を説明する。

WO 00/02189

EXN517 は、2つの入力信号が一致すると “H” を出力する。4入力AND回路 518 は、4つの入力信号が全て “H” になると “H” を出力する。2入力AND回路 519 は、2つの入力が全て “H” になると “H” を出力する。従つて、EXN517 は8個あるので、8ビットのデータが全て一致すると、8ビット比較出力 522 に “H” が出力される。8ビット比較出力 415 に示すように、8ビットカウンタ 501 の出力信号が “79” となった期間と一致して “H” になる。8ビット比較出力 522 は、D-F-F 521 により基準クロック DCLK をインバータ 520 を介して反転された基準クロック DCLK にてラッピングされ、D-F-F 521 の出力はD-F-F出力 416 に示すように、半クロック遅れる。D-F-F 521 の出力信号は基準クロックとAND回路 519 により論理積が取られ、結果として、一致検出の出力信号 524 は、一致検出出力 417 に示すように、一致したアドレスの次の半クロックに “H” を出力するのである。

カウンタ 501 の出力信号が “7 9” になり、一致検出回路 514a により “H” バルスが出力されると、セレクタ 511 の端子 S に R S F F 515a を介して “L” が入力され、データ A が選択される。データ A はレジスタ 505 から出力され、スクロールスタートアドレス “1 2 0” がセレクタ 511 を介してカウンタ 502 に入力される。カウンタ 502 のセット端子 S には、一致検出回路 514a の出力が OR ゲート 516a を介して接続されているので、一致検出回路 514a により出力された “H” バルスが入力され、スクロールスタートアドレス “1 2 0” がカウンタ 502 にセットされる。又、一致検出回路 514a により出力された “H” バルスは、R S F F 515b を介してセレクタ 512 の端子 S に入力され、データ B が選択される。従って、アドレスカウント出力 525 には、セレクタ 512, 513 を介して、カウンタ 502 の出力 “1 2 0” が出力される。

基準クロック DCLK の立ち上がりエッジでカウンタ 502 がカウントアップし、
25 “159”までカウントアップすると、レジスタ 507. に記憶されているスクロールエリアの最終アドレス “159”と一致するので、一致検出回路 514b により一致が検出され、“H” パルスが出力される。その “H” パルスにより、セレクタ 511 の端子 S に “H” が入力され、データ B が選択される。データ B は上記表示エリアの最後である “79” に “1” が表示ロジック回路 33 にて加算

された“80”が書き込まれているレジスタ506の出力に接続されているので、カウンタ502に“80”が入力される。カウンタ502のセット端子Sには一致検出回路514bの出力がORゲート516を介して接続されているので、一致検出回路514bによる“H”パルスが入力され、“80”がカウンタ502にセットされる。

続けて、基準クロックDCLKの立ち上がりエッジでカウンタ502がカウントアップする。これと並行して、カウンタ510も基準クロックDCLKの立ち上りエッジでカウントアップし、“159”までカウントアップすると、レジスタ508に記憶されている“159”と一致するので、一致検出回路514cにより一致が検出され、“H”パルスを出力する。下固定表示エリアの先頭アドレス“160”が書き込まれているレジスタ509の出力はカウンタ503に接続されているので、カウンタ503には“160”が入力される。カウンタ503のセット端子Sには一致検出回路514cの出力が接続されているので、一致検出回路514cによる“H”パルスが入力され、“160”がカウンタ503にセットされる。又、一致検出回路514cにより出力された“H”パルスは、RSFF515cを介してセレクタ513の端子Sに入力され、データBが選択される。従って、アドレスカウント出力525には、“160”が出力される。

更に、基準クロックDCLKの立ち上がりエッジにてカウンタ503がカウントアップし、“239”までカウントアップすると、固定アドレスとして与えられている“239”と一致するので、一致検出回路514dにより一致が検出され、“H”パルスが出力される。これは、ORゲート516bを介してリセット信号RESとなり、設定が初期状態に戻る。そして、引き続き、基準クロックDCLKが入力されている限り、アドレスのカウントが繰り返される。

結果として、アドレスカウント出力525には、アドレスカウント出力426に示すように、リセット信号RESをスタートとして、“0”から“79”、“120”から“159”、“80”から“119”、“160”から“239”という順番でアドレスが出力される。このとき、Yドライバ14は、リセット信号RESをスタートとして、LCDパネル161の上端のラインから線順次に選択しているので、表示はLCDパネル161に示したように、スクロール表示領域の

“○”は上半分と下半分とが逆転されて表示される。

スクロールは、スクロールエリアである“○”が書き込まれている表示アドレスの“80”～“159”的うち、先頭に表示したいスクロールスタートアドレスを記憶しているレジスタ505のデータを変更することにより実行できる。例5 えば、“90”をレジスタ505に書き込めば、リセット信号RESをスタートとして、“0”から“79”、“90”から“159”、“80”から“89”、“160”から“239”という順番でアドレスが出力される。又、“80”をレジスタ505に書き込めば、リセット信号RESをスタートとして、“0”から“79”、“80”から“159”、“160”から“239”という順番でアドレスが10 出力される。結果として、“0”をレジスタ505に書き込んだ場合の表示は第1図のLCDパネル162に示したようになる。

つまり、“0”～“79”、及び“160”～“239”というアドレスの順番は変わらないので、その部分の固定表示が可能で、スクロール領域の表示だけが変化する。従って、MPU11は、表示RAM131の表示データを一切書き換えることなく、レジスタ505にスクロールしたい先頭の表示アドレスを書き込むだけで、画面の一部分のみの縦方向のスクロールを行うことができる。

スクロール表示エリアは、レジスタ504及びレジスタ506～509のデータを変更することにより、自由に変更が可能である。又、カウンタ501の入力データ“0”とカウンタ503の入力データ“239”は固定値としているが、他の値20 の入力データを他の図示しないレジスタから供給すれば、別のアドレスも設定できる。又、上固定表示エリアを固定的に表示し、それ以外のスクロールエリア及び下固定表示エリアを全てスクロールする場合や、下固定表示エリアを固定的に表示し、それ以外の上固定表示エリア及びスクロールエリアを全てスクロールする場合等は、本実施形態と同様の方法で、容易に実現できる。更に、第4図において、レジスタ504～509と同様のレジスタやカウンタ等を任意数追加し、任意のアドレスを入力すれば、画面を縦方向に任意数に分割でき、本実施形態と同様のスクロールを行うことができる。

第2の実施形態

第2の実施形態を図面に基づいて説明する。

第8図は、本発明の第2の実施形態を示す画像表示システムの構成図であり、第1の実施形態を示す第1図中の要素と共に要素には共通の符号が付されている。

この画像表示システムでは、第1図中の表示RAM131及び表示ロジック134に代えて、記憶容量が大きい（例えば、 320×320 ビットの容量）RAM131A及び異なる構成の表示ロジック134Aが設けられている。LCDパネル161の表示容量が 240×320 ドットであるから、RAM131Aは全画面を表示するのに必要な記憶容量以上の記憶容量を有している。表示RAM131Aの表示アドレス1305は320あり、上端から下端に“0”～“319”的アドレスが付されている。メモリ領域1301にはMPU11により第1図に示したように、表示アドレスの“0”～“319”に渡って“□”, “○”, “×”, “△”のデータが書き込まれている。更に詳しくは、表示アドレスの“0”～“79”に渡って“□”のデータ、表示アドレスの“80”～“159”に渡って“○”のデータ、表示アドレスの“160”～“239”に渡って“×”のデータ、及び表示アドレスの“240”～“319”に渡って“△”のデータが書き込まれている。表示ロジック134Aでは、第1の実施形態を示す第4図中的一致検出回路514dの一方の入力データ“239”に代えて、入力データ“319”が設定されている。他は、第1図と同様の構成である。

第9図は、第8図の動作を説明するための各部の信号のタイムチャートであり、縦軸に論理レベル、及び横軸に時間がとられている。この第9図を参照しつつ、第8図の画像表示システムの動作を説明する。

基本的動作は第7図と同様であるが、カウンタ501の出力414、カウンタ502の出力419、カウンタ502の出力422のカウントデータが異なっている。即ち、レジスタ504～509には、MPU11よりMPUロジック回路133を介して、スクロールエリア、固定表示エリア、及び表示ライン数を示す任意のアドレスが書き込まれている。レジスタ504には上固定表示エリアである“□”が書き込まれている表示アドレスの最後である“79”が書き込まれ、レジスタ505にはスクロールエリアである“○”, “×”が書き込まれている表示アドレスの“80”～“239”的うち、先頭に表示したいスクロールスタートアドレス“8

0”が書き込まれ、レジスタ 506 には固定表示エリアである“□”が書き込まれている表示アドレスの最後である“79”に“1”を表示ロジック回路 33 にて加算した“80”が書き込まれ、レジスタ 507 にはスクロールエリアである“○”, “×”が書き込まれている表示アドレスの最後である“239”が書き込まれ、
5 レジスタ 508 には表示ライン数である“240”から、下固定表示エリアである“△”が書き込まれている表示アドレスの表示ライン数に相当する“80”を減じた“160”から更に“1”を減じた“159”が書き込まれ、レジスタ 509 には下固定表示エリアである“△”が書き込まれている表示アドレスの先頭である“240”が書き込まれている。

10 以上のように設定することにより、回路の動作は第 1 の実施形態と同様であるから、結果として、表示アドレス 1305 に与えられるアドレスカウント出力 525 は、第 9 図中のアドレスカウント出力 426 に示すように、リセット信号 RES をスタートとして、“0”から“79”, “80”から“159”, “240”から“319”という順番に従ってアドレスが出力される。このとき、Y ドライバ 14 は、リセット信号 RES をスタートとして LCD パネル 161 の上端のラインから線順次に選択しているので、LCD パネル 161 に示すように、スクロール表示領域の“○”, “×”のうちの“○”のみが表示され、“×”は表示されない。
15 スクロールは、スクロールエリアである“○”, “×”の書き込まれている表示アドレスの“80”～“239”的うち、先頭に表示したいスクロールスタートアドレスを記憶しているレジスタ 505 のデータを変更することにより実行できる。例えば、“160”をレジスタ 505 に書き込めば、リセット信号 RES をスタートとして、“0”から“79”, “160”から“239”, “240”から“319”という順番でアドレスが出力される。結果として、“0”をレジスタ 505 に書き込んだ場合の表示は第 8 図の LCD パネル 162 に示したようになる。
20 25 スクロールする前に表示していた“○”に代わって“×”が表示に現れている。つまり、余分なメモリが設けられていることにより、表示されていなかった表示データをスクロールすると同時に瞬時に表示させることができるので、円滑なスクロールができる。余分なメモリを持っていないと、スクロールエリアにおいて同じデータが位置を移動するだけなので、スクロールすると同時に新しいデータ

を表示させたい場合等は、スクロールさせると同時に、表示RAM131のデータを次々と書き換えねばならないが、一度に行うことができないばかりか、表示中のデータを書き換えることになるので、MPU11の書き換えるスピードやタイミングにより、スクロールが円滑に行われない。

5 スクロール表示エリアは、レジスタ504、及びレジスタ506～509のデータを変更することにより、自由に変更が可能である。又、カウンタ501の入力データ“000”とカウンタ503の入力データ“319”は固定値になっているが、他の値の入力データを他の図示しないレジスタから供給すれば、別のアドレスも設定できる。又、上固定表示エリアとそれ以外は全てスクロールする場合や、下10 固定表示エリアとそれ以外は全てスクロールする場合は、本実施形態と同様の方法で、容易に実現できる。又、第1及び第2の実施形態はYドライバ14による選択ラインが1本という駆動方法にて実施したが、複数ラインを同時選択する駆動方法でも、本発明と同様の主旨で、容易に実現できる。

又、第1の実施形態と同様に、表示ロジック134Aにおいて、レジスタ504～15 509と同様のレジスタやカウンタ等を任意数追加し、任意のアドレスを入力すれば、画面を縦方向に任意数に分割でき、本実施形態と同様のスクロールを行うことができる。

第3の実施形態

第3の実施形態を図面に基づいて説明する。

20 第10図は、本発明の第3の実施形態を示す画像表示システムの構成図であり、第1の実施形態を示す第1図中の要素と共に要素には共通の符号が付されている。

この画像表示システムでは、第1図中の表示ロジック134に代えて、異なる構成の表示ロジック134Bが設けられている。他は、第1図と同様の構成である。

25 第11図は、第10図中の表示ロジック134Bの要部の回路図であり、第4図中の要素と共に要素には共通の符号が付されている。

この表示ロジック134Bは、スクロールスタートアドレス（例えば、“120”）を記憶するレジスタ505、スクロールエリアの先頭のアドレス（例えば、“80”）を記憶するレジスタ506、スクロールエリアの最後のアドレス（例え

WO 00/02189

5 ば、“159”)を記憶するレジスタ507、及びレジスタ508を有している。レジスタ508には、表示ライン数である“240”から、下固定表示エリアである“△”が書き込まれている表示アドレスの表示ライン数に相当する“80”を減じた“160”から更に“1”を減じた“159”が書き込まれている。レジ

10 505にはセレクタ511bの入力端子Aが接続され、レジスタ506にはセレクタ511bの入力端子Bが接続されている。又、レジスタ506にはデクリメント回路(1を減算する回路)523が接続され、デクリメント回路523には一致検出回路514aの一方の入力側が接続されている。レジスタ507には、インクリメント回路(1を加算する回路)524が接続されると共に、一致検出回路514bの一方の入力側が接続されている。レジスタ508には、一致検出回路514cの一方の入力側が接続されている。リセット信号RES及び信号DATAは、OR回路521に入力されるようになっている。OR回路521の出力側には、基準クロックDCLKをカウントするカウンタ510のリセット端子R及びRSFF522a, 522b, 522cの端子Rが接続されている。カウンタ510の出力側には、一致検出回路514cの他方の入力側が接続されている。一致検出回路514cの出力側には、RSFF522cの端子S及びOR回路516の第1の入力端子が接続されている。

又、信号 DATA は、OR回路 516 の第 2 の入力端子に入力されるようになつてゐる。一致検出回路 514a の出力側には、OR回路 516 の第 3 の入力端子が接続されると共に、RSFF 522b の端子 S が接続されている。セレクタ 511b の端子 S は、RSFF 522a の出力側に接続されている。セレクタ 511b の出力側にはセレクタ 511a の入力端子 B が接続され、セレクタ 511a の入力端子 A にはデータ “0 0 0” が入力されるようになっている。セレクタ 511a の端子 S は、RSFF 522b の出力側に接続されている。セレクタ 511a の出力側にはセレクタ 511c の入力端子 A が接続され、インクリメント回路 524 の出力側にはセレクタ 511c の入力端子 B が接続されている。セレクタ 511c の出力側にはカウンタ 503 の入力端子 D が接続され、カウンタ 503 のクロック入力端子 CK には基準クロック DCLK が入力されるようになっている。カウンタ 503 のリセット端子 R には、リセット信号 RES が入力されるようになっている。カウンタ 503 の出力側には、一致検出回路 514a の他方の入力側が接続されると共に、一致検出回路 514a の出力側には、RSFF 522a の入力端子 A が接続されている。

路 514b の他方の入力側が接続されている。カウンタ 503 の出力側から、アドレスカウント出力 525 が出力されるようになっている。一致検出回路 514b の出力側には、OR 回路 516 の第 4 の入力端子が接続されると共に、RSFF 522a の端子 S が接続されている。

5 第 12 図は、第 11 図の画像表示システムの動作を説明するための各部の信号のタイムチャートである。

第 3 の実施形態の画像表示システムでは、レジスタ 505 にスクロールスタートアドレス “120”、レジスタ 506 にスクロールエリアの先頭のアドレス “80”、レジスタ 507 にスクロールエリアの最後のアドレス “159”、及びレジ 10 フィスタ 508 に、表示ライン数である “240” から下固定表示エリアである “△” が書き込まれている表示アドレスの表示ライン数に相当する “80” を減じた “160” から更に “1” を減じた “159” が書き込まれ、第 1 の実施形態とほぼ同様の動作が図 4 の表示ロジック 134 よりも簡単な構成の表示ロジック 134B で行われる。

15

産業上の利用可能性

以上説明したように、例えば、電子手帳や携帯電話等の電子システムに本発明の半導体装置を使用した場合、スクロールエリア及び固定表示エリアの初期設定を行えば、MPU11 は、表示 RAM131 の表示データを書き換えることなく、レジスタにスクロールしたい先頭の表示アドレスを書き込むだけで、画面の一部分のみのスクロールを行うことができる。そのため、スクロール部分の表示データを書き換えるよりも、MPU11 から表示 RAM131 に対するアクセス回数が圧倒的に少なくなり、スクロール時の消費電力を大幅に低減できる。更に、MPU11 に表示 RAM131 の表示データを書き換え中に他の処理を割り込ませた場合、表示データを書き換えてスクロールすると、従来では書き換え途中の表示データが表示に出てしまうが、本発明により防止することができる。更に、全画面を表示するために必要なメモリよりも容量の大きいメモリを有していることにより、新しい表示データを含めて円滑にスクロールすることができる。

請求の範囲

1. 表示データを記憶するメモリと、

前記表示データに基づく論理電圧を、表示装置を駆動するための駆動電圧に変

5 換する電圧変換部とを備え、

基準クロックに従って前記表示データを前記メモリから読み出し、該読み出された表示データに対応して変換された前記駆動電圧を前記表示装置に供給する半導体装置において、

前記メモリのアドレスをカウントするカウント部と、任意のアドレスを記憶す

10 レジスタとを備え、

前記メモリに記憶された表示データを読み出す順番を前記レジスタの内容に基づいて任意に設定することを特徴とする半導体装置。

2. 前記メモリは、前記表示装置の画素数に対応する表示データのメモリ容量よりも多いメモリ容量を有することを特徴とする請求の範囲第1項記載の半導体

15 装置。

3. 表示データを記憶するメモリと、

基準クロックに従って前記表示データを前記メモリから読み出し、該読み出された表示データを電圧変換部に供給する表示コントローラと、

前記供給された表示データに基づく論理電圧を表示装置を駆動するための駆動電圧に変換し、該表示装置に該駆動電圧を供給する電圧変換部とを、備えた半導体装置において、

前記表示コントローラは、前記メモリのアドレスをカウントするカウント部と、任意のアドレスを記憶するレジスタとを備え、

前記メモリに記憶された表示データを読み出す順番を前記レジスタの内容に基づいて任意に設定することを特徴とする半導体装置。

25 4. 前記メモリは、前記表示装置の画素数に対応する表示データのメモリ容量よりも多いメモリ容量を有することを特徴とする請求の範囲第3項記載の半導体装置。

5. 第1の固定アドレスから第1のレジスタに記憶されたアドレスまでをカウ

ントした後、第2のレジスタに記憶されたアドレスから第3のレジスタに記憶されたアドレスまでカウントすることを特徴とする請求の範囲第1項又は第2項記載の半導体装置。

6. 第1のレジスタに記憶されたアドレスから第2のレジスタに記憶されたアドレスまでをカウントした後、第3のレジスタに記憶されたアドレスから第2の固定のアドレスまでカウントすることを特徴とする請求の範囲第1項又は第2項記載の半導体装置。

7. 第1の固定アドレスから第1のレジスタに記憶されたアドレスまでをカウントした後、第2のレジスタに記憶されたアドレスから所定のカウント数をカウントした後、第3のレジスタに記憶されたアドレスから第2の固定アドレスまでカウントすることを特徴とする請求の範囲第1項又は第2項記載の半導体装置。

8. 第1の固定アドレスから第1のレジスタに記憶されたアドレスまでをカウントした後、第2のレジスタに記憶されたアドレスから第3のレジスタに記憶されたアドレスまでカウントすることを特徴とする請求の範囲第3項又は第4項記載の半導体装置。

9. 第1のレジスタに記憶されたアドレスから第2のレジスタに記憶されたアドレスまでをカウントした後、第3のレジスタに記憶されたアドレスから第2の固定のアドレスまでカウントすることを特徴とする請求の範囲第3項又は第4項記載の半導体装置。

20 10. 第1の固定アドレスから第1のレジスタに記憶されたアドレスまでをカウントした後、第2のレジスタに記憶されたアドレスから所定のカウント数をカウントした後、第3のレジスタに記憶されたアドレスから第2の固定アドレスまでカウントすることを特徴とする請求の範囲第3項又は第4項記載の半導体装置。

11. 前記表示装置は、線順次走査型の液晶表示装置であることを特徴とする請求の範囲第1、2、5、6又は7項記載の半導体装置。

12. 前記表示装置は、線順次走査型の液晶表示装置であることを特徴とする請求の範囲第3、4、8、9又は10項記載の半導体装置。

13. 少なくとも1つの固定表示エリアと少なくとも1つのスクロール可能な表示エリアとを有することを特徴とする画像表示システム。

14. 請求の範囲第1、2、5、6、7又は11項記載の半導体装置と、前記駆動電圧を入力して前記表示データに対応した画像を表示する表示装置とを、備えたことを特徴とする画像表示システム。

15. 請求の範囲第3、4、8、9、10又は12項記載の半導体装置と、前記駆動電圧を入力して前記表示データに対応した画像を表示する表示装置とを、備えたことを特徴とする画像表示システム。

16. 請求の範囲第1、2、5、6、7又は11項記載の半導体装置を備えた電子システム。

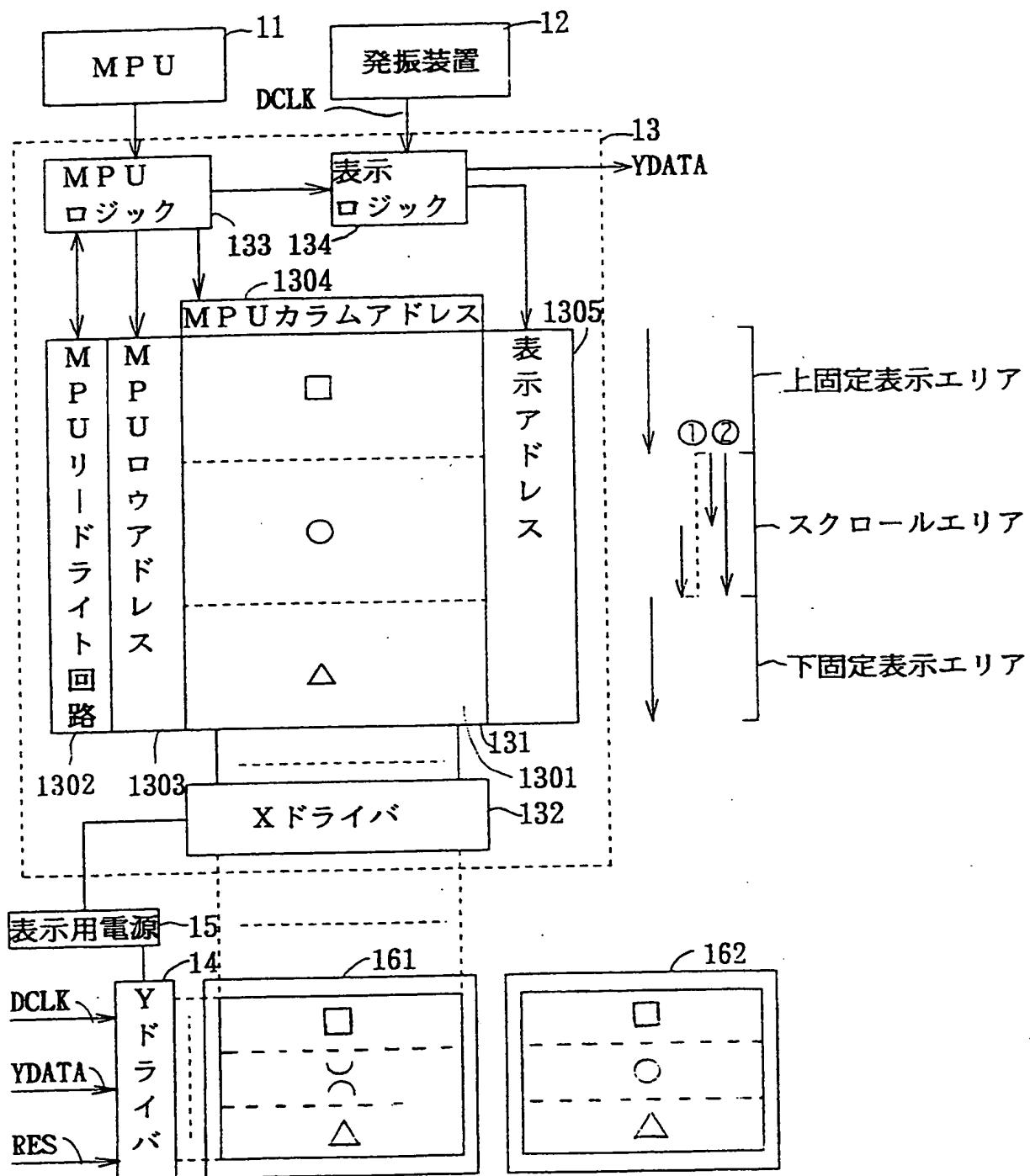
17. 請求の範囲第3、4、8、9、10又は12項記載の半導体装置を備えた電子システム。

18. 請求の範囲第13項記載の画像表示システムを備えた電子システム。

19. 請求の範囲第14項記載の画像表示システムを備えた電子システム。

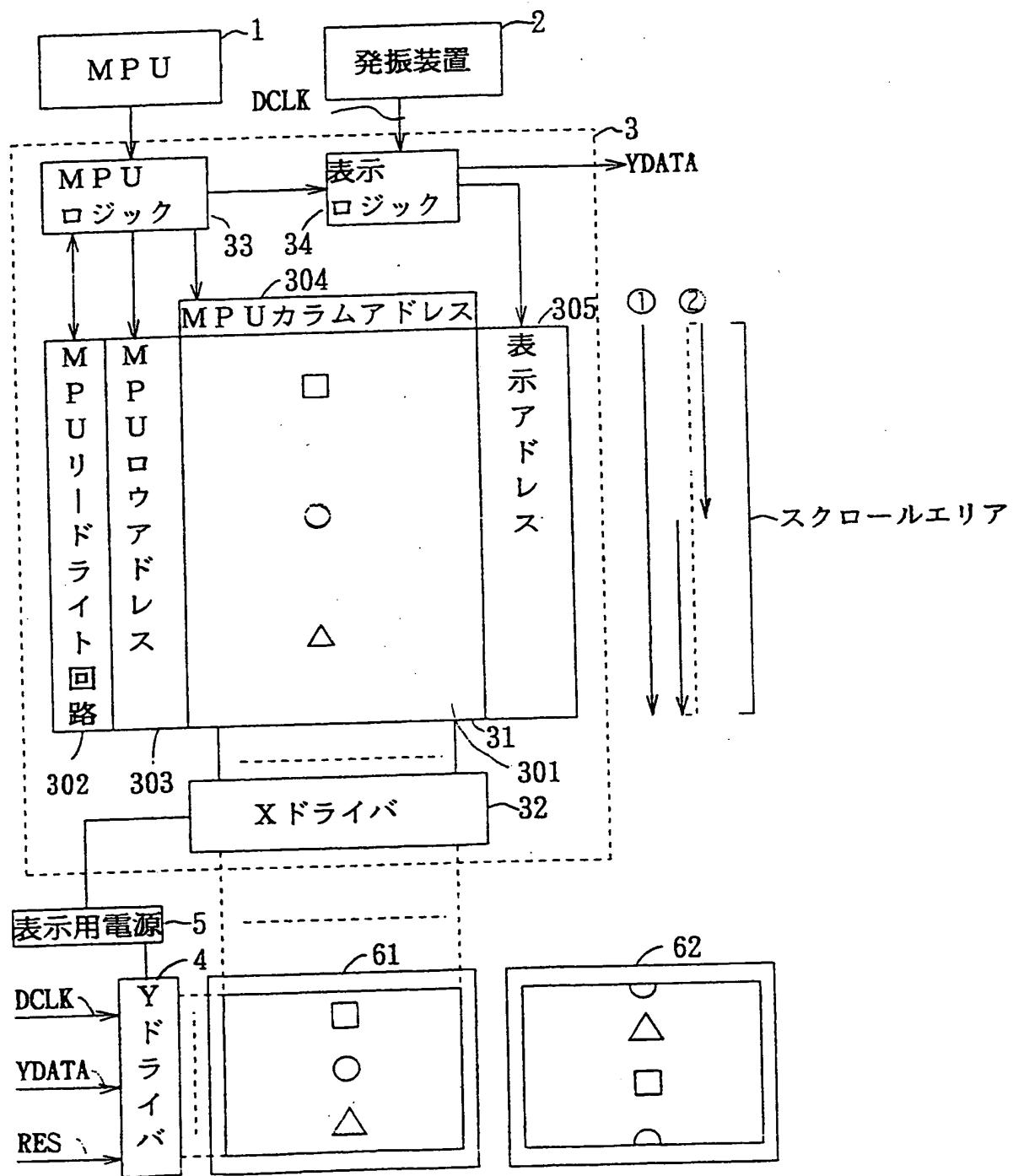
20. 請求の範囲第15項記載の画像表示システムを備えた電子システム。

第1回



2/12

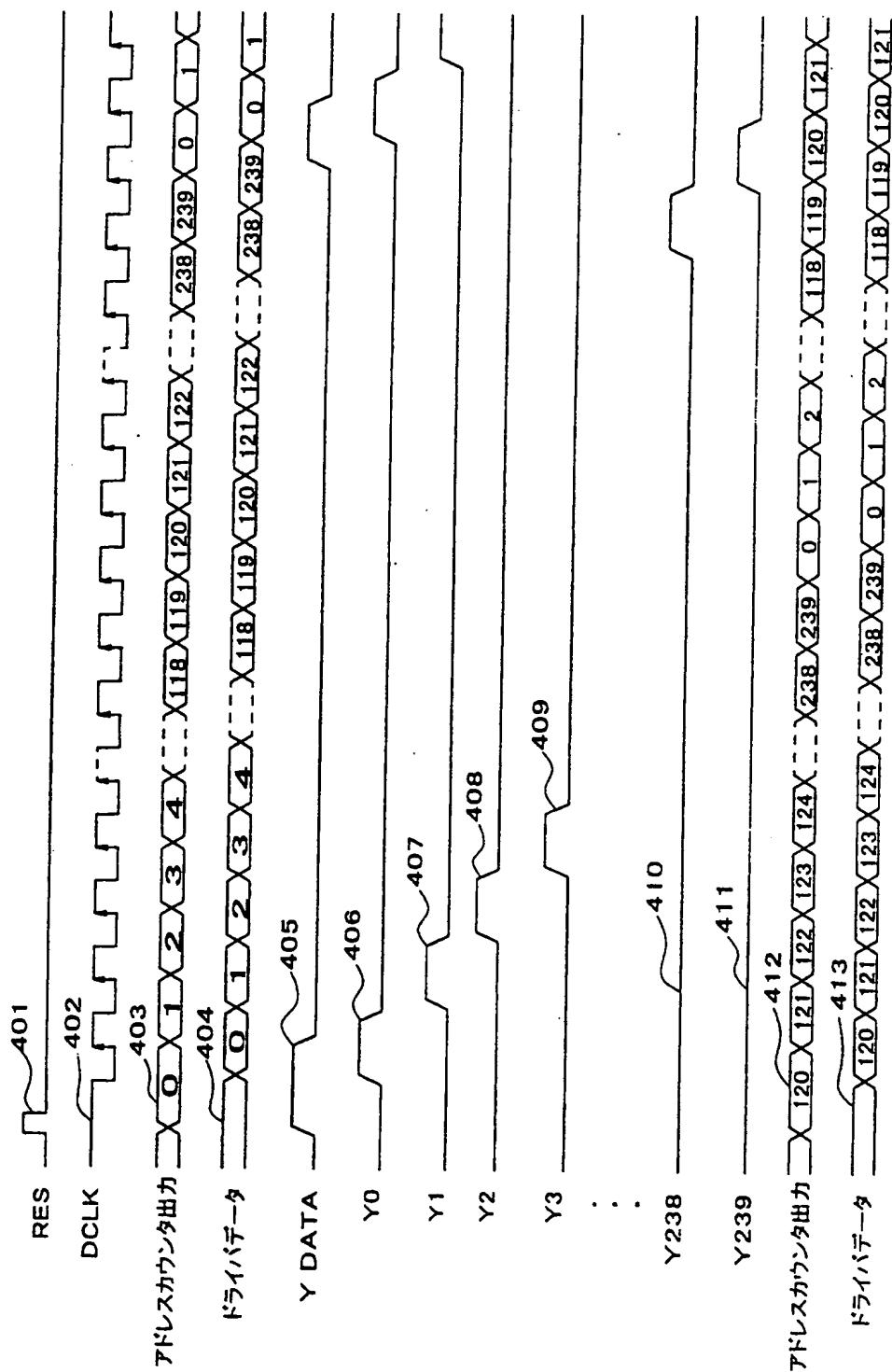
第2図



差替え用紙 (規則26)

3/12

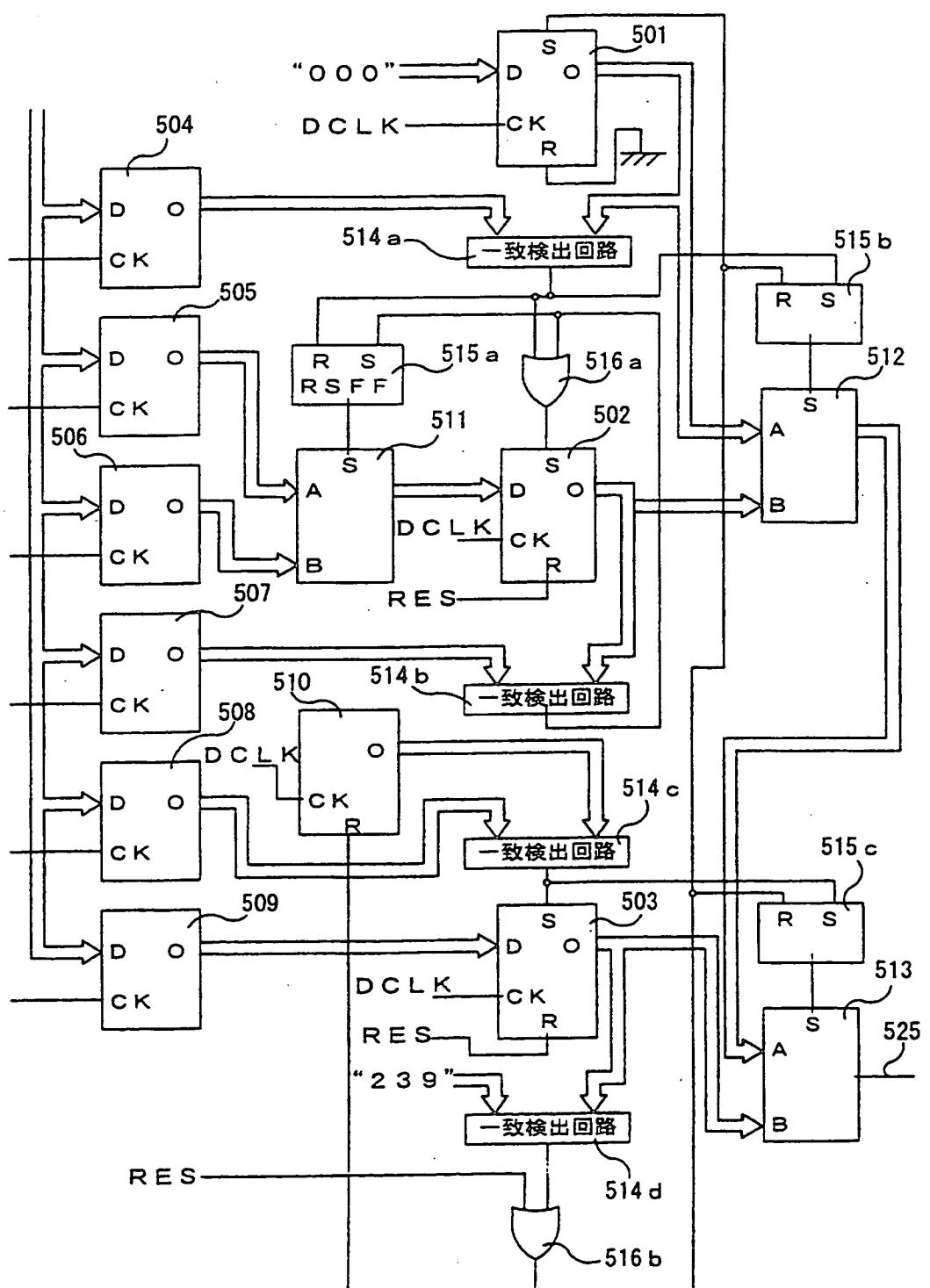
第3図



差替え用紙 (規則26)

4/12

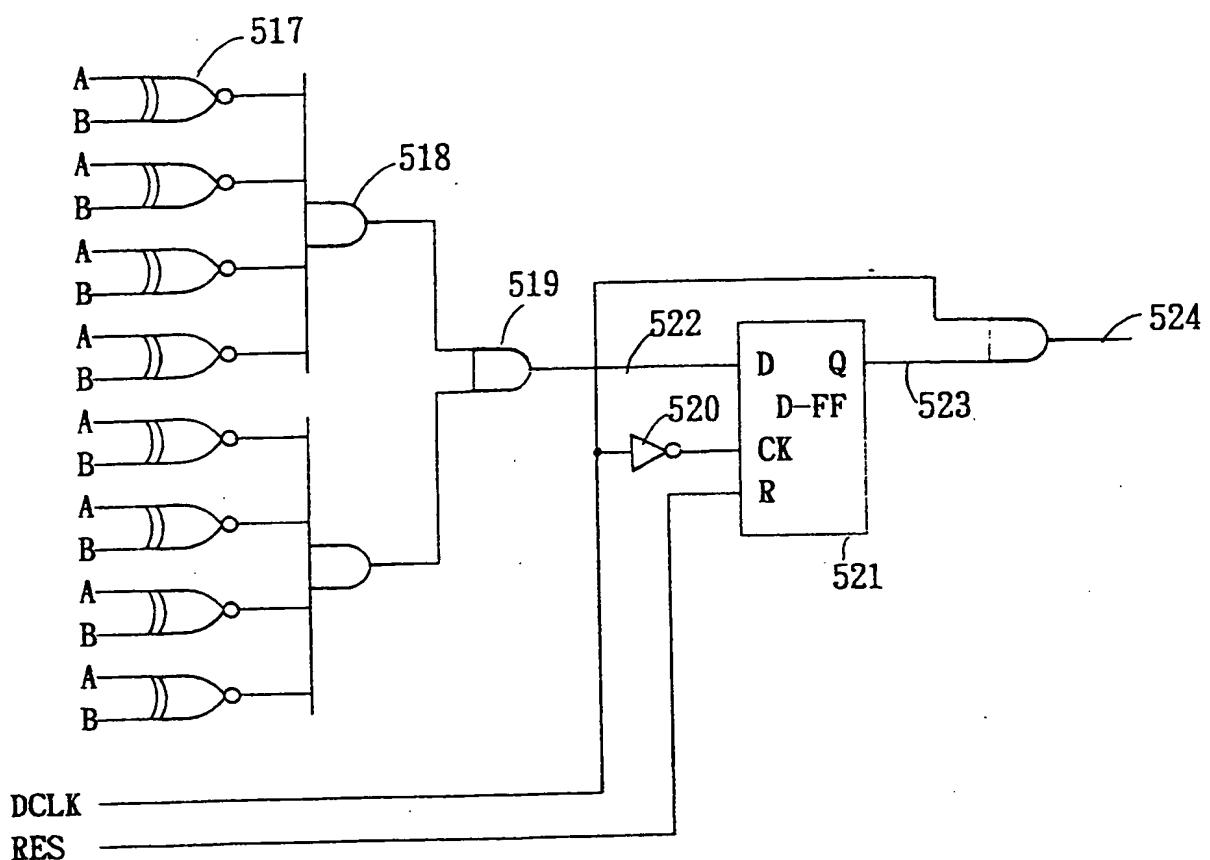
第4図



差替え用紙 (規則26)

5/12

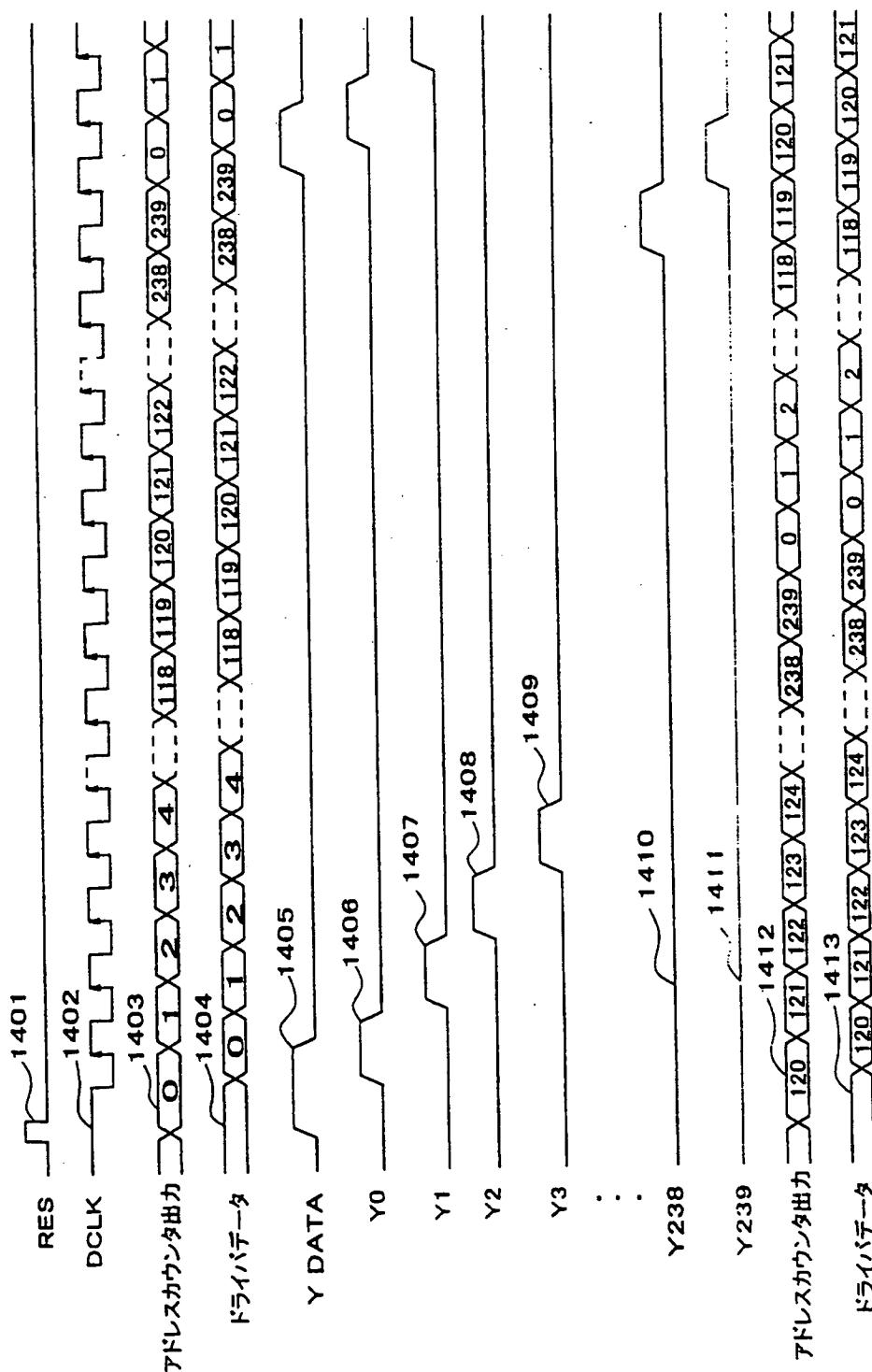
第5図



差替え用紙 (規則26)

6/12

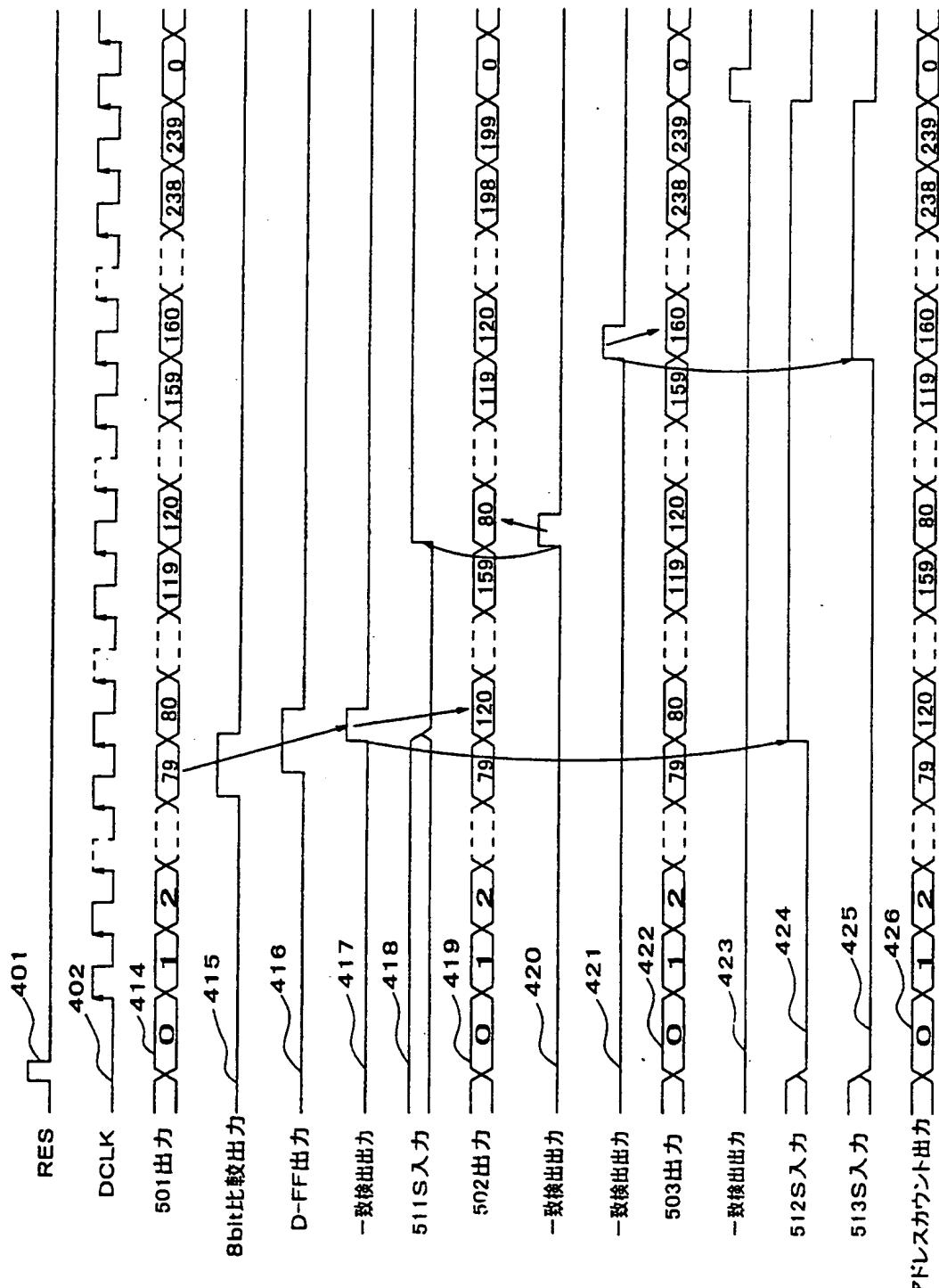
第6図



差替え用紙 (規則26)

7/12

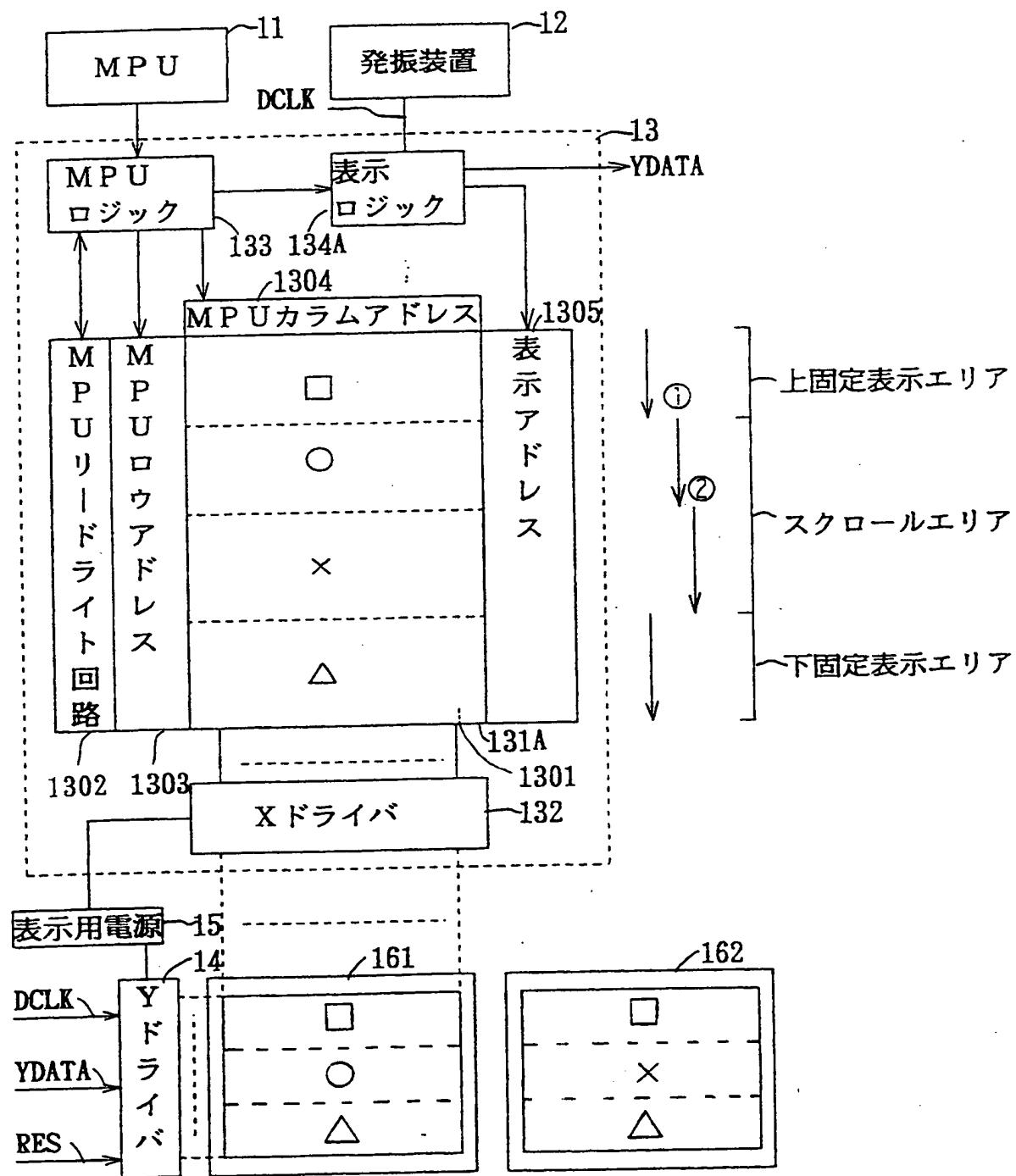
第7図



差替え用紙（規則26）

8/12

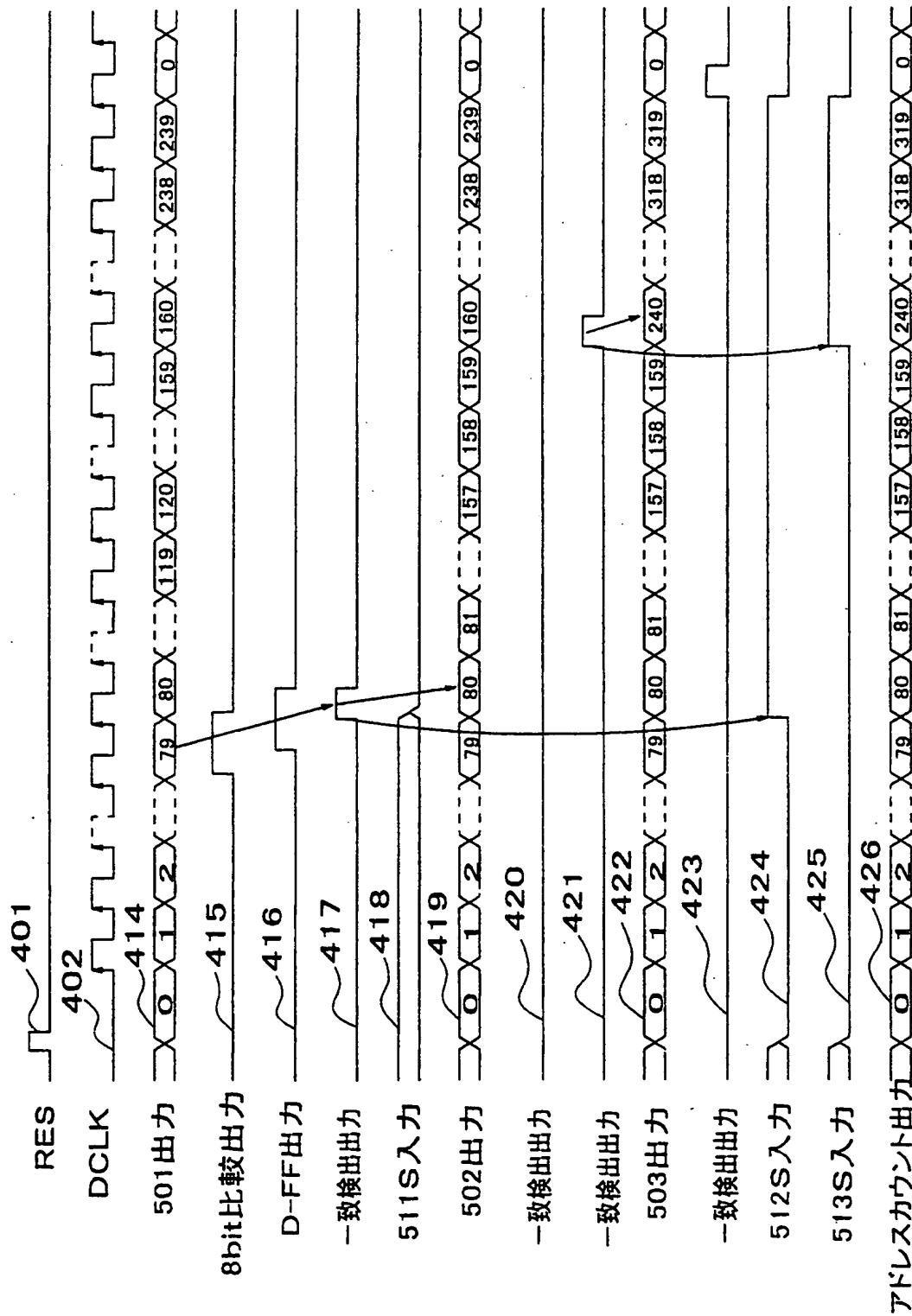
第8図



差替え用紙 (規則26)

9/12

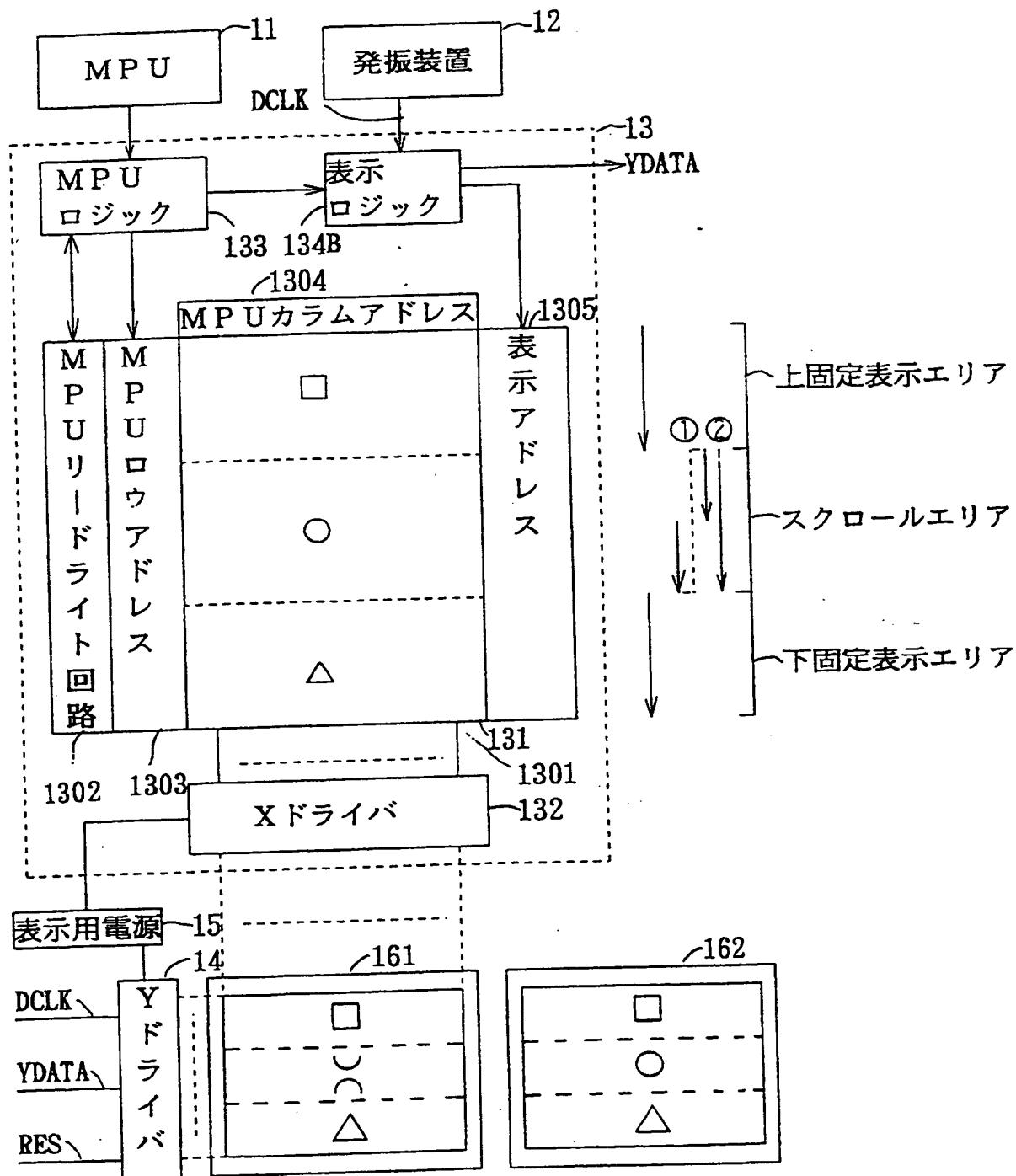
第9図



差替え用紙 (規則26)

10/12

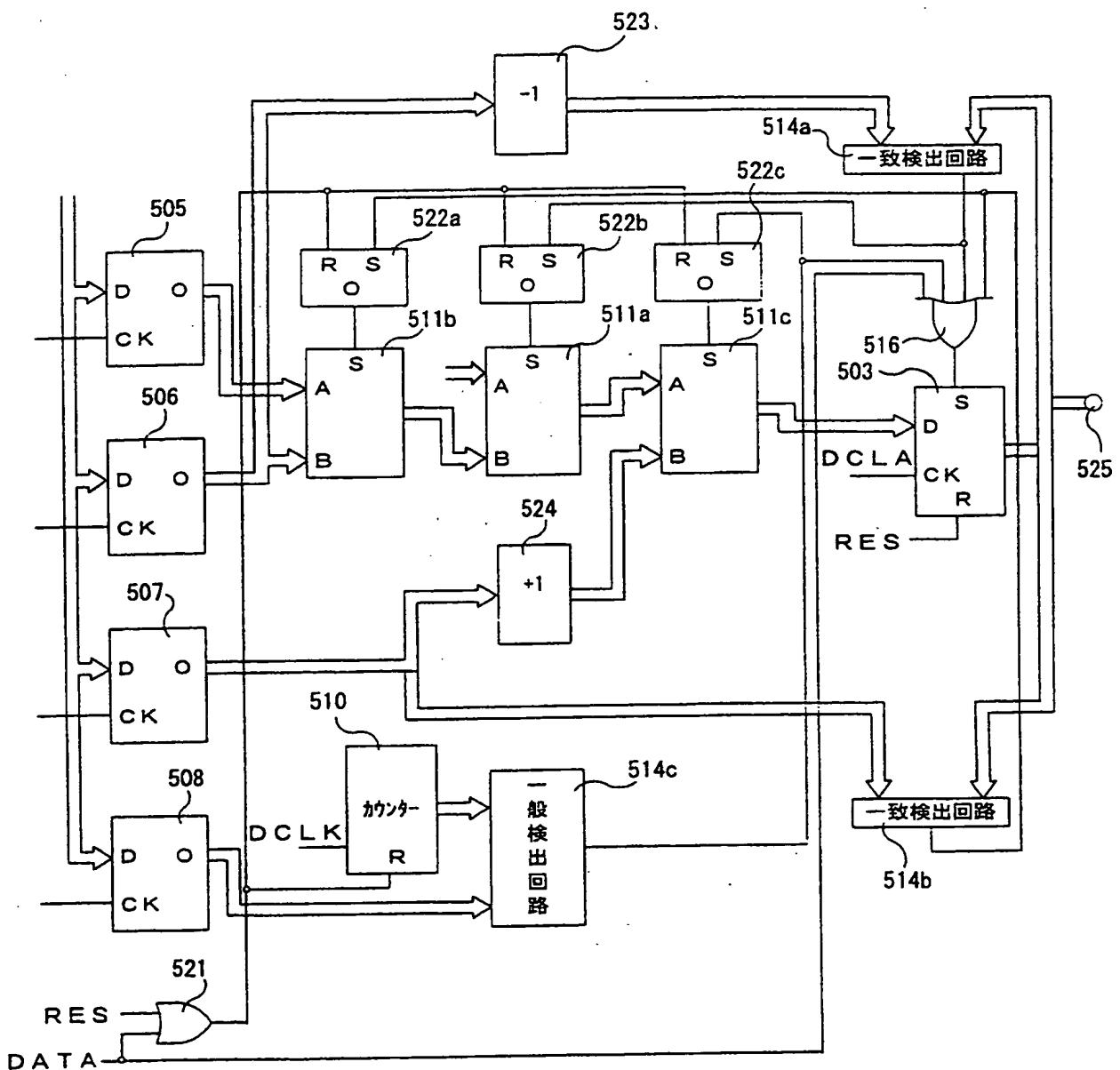
第10図



差替え用紙 (規則26)

11/12

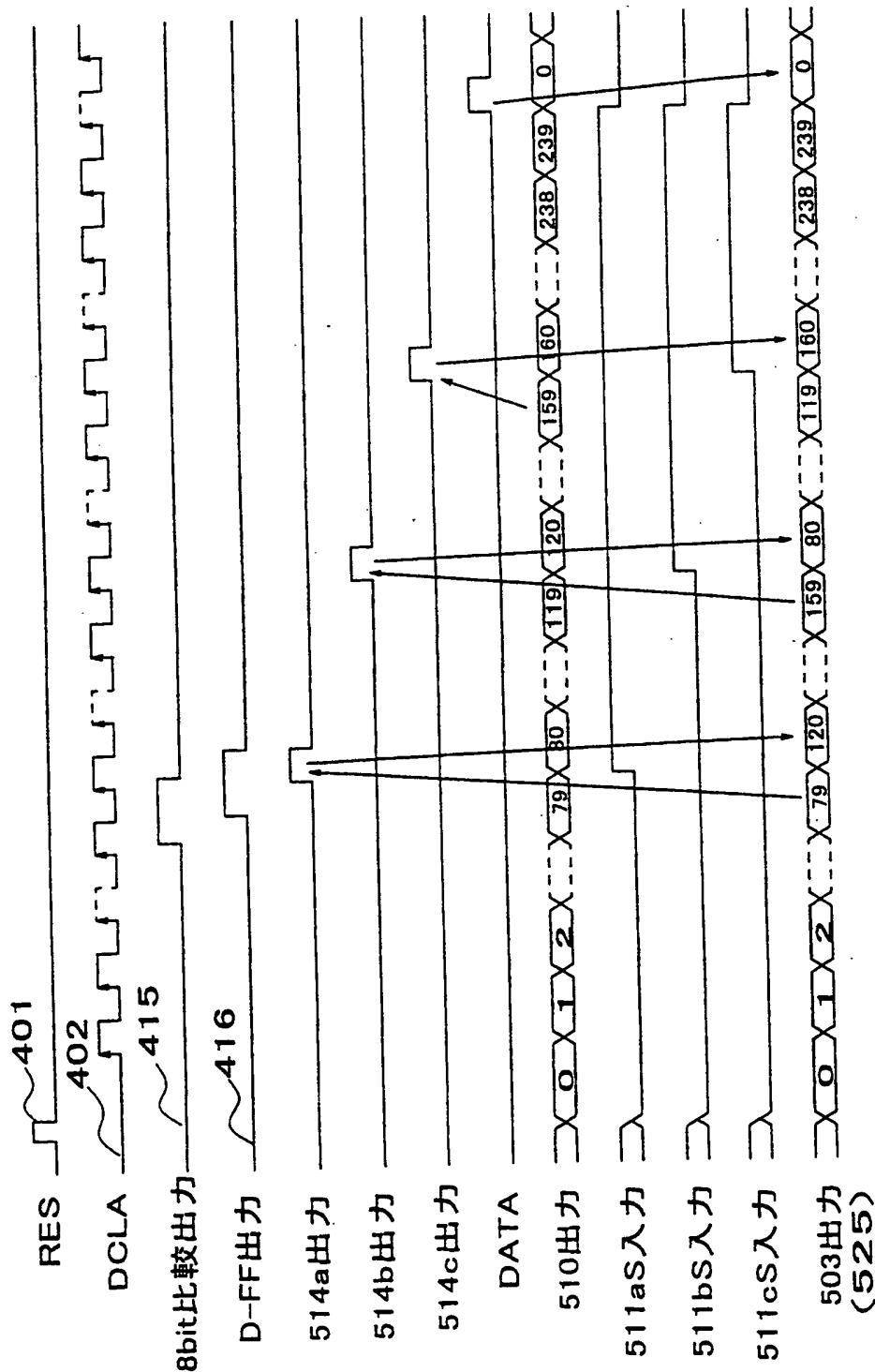
第11回



差替え用紙（規則26）

12/12

第12図



差替え用紙 (規則26)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/03642

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁶ G09G5/34, G09G3/36

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁶ G09G5/34, G09G3/36Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-1999
Kokai Jitsuyo Shinan Koho 1971-1999 Jitsuyo Shinan Toroku Koho 1996-1999

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP, 60-102689, A (Digital Equipment Corp.), 6 June, 1985 (06. 06. 85), Full text ; Figs. 1 to 8 & US, 4611202, A & EP, 145529, A2 & DK, 498984, A & FI, 844087, A & AU, 3443784, A1 & ZA, 8408033, A & BR, 8405251, A & CA, 1230690, A1 & MX, 158178, A & KR, 9006943, B1	13, 18 1-12, 14-17, 19, 20
X Y	JP, 2-94, A (Ricoh Co., Ltd.), 5 January, 1990 (05. 01. 90), Full text ; Figs. 1 to 24 (Family: none)	13, 18 1-12, 14-17, 19, 20
X Y	JP, 63-204294, A (Fujitsu General Ltd.), 23 August, 1988 (23. 08. 88), Full text ; Figs. 1 to 3 (Family: none)	13, 18 1-12, 14-17, 19, 20
X Y	JP, 60-55389, A (Hitachi, Ltd.), 30 March, 1985 (30. 03. 85), Full text ; Figs. 1 to 6 (Family: none)	13, 18 1-12, 14-17, 19, 20

 Further documents are listed in the continuation of Box C. See patent family annex.

- * Special categories of cited documents:
- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search
21 September, 1999 (21. 09. 99)Date of mailing of the international search report
5 October, 1999 (05. 10. 99)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP99/03642

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

C (Continuation). DOCUMENTS CONSIDERED		Relevant to claim No.
Category*	Citation of document, with indication, where appropriate, of the relevant passages	
X	JP, 55-147670, A (Casio Computer Co., Ltd.), 17 November, 1980 (17. 11. 80), Full text ; Figs. 1 to 4 (Family: none)	13, 18 1-12, 14-17, 19, 20
Y		
X	JP, 60-73573, A (Mitsubishi Electric Corp.), 25 April, 1985 (25. 04. 85), Full text ; Figs. 1 to 3 (Family: none)	13, 18 1-12, 14-17, 19, 20
Y		

A. 発明の属する分野の分類(国際特許分類(IPC))

Int Cl⁶ G09G 5/34
G09G 3/36

B. 調査を行った分野

調査を行った最小限資料(国際特許分類(IPC))

Int Cl⁶ G09G 5/34
G09G 3/36

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1926-1996
日本国公開実用新案公報	1971-1999
日本国登録実用新案公報	1994-1999
日本国実用新案登録公報	1996-1999

国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	J P, 60-102689, A (デジタル・エクウイメント ・コーポレイション) 6. 6月. 1985 (06. 06. 85), 全文、第1-8図&US, 4611202, A&EP, 14552 9, A2&DK, 498984, A&FI, 844087, A&A U, 3443784, A1&ZA, 8408033, A&BR, 8 405251, A&CA, 1230690, A1&MX, 1581 78, A&KR, 9006943, B1	13, 18 1-12, 14-17, 19, 20
X Y	J P, 2-94, A (株式会社リコー) 5. 1月. 1990 (05. 01. 90), 全文、第1-24図 (ファミリーなし)	13, 18 1-12, 14-17, 19, 20

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

21. 09. 99

国際調査報告の発送日

05.10.99

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官(権限のある職員)

小松 徹三

2G 8326



電話番号 03-3581-1101 内線 3226

C (続き)	関連すると認められる文献	関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
X Y	JP, 63-204294, A (株式会社富士通ゼネラル) 2 3. 8月. 1988 (23. 08. 88), 全文、第1-3図 (ファミリーなし)	13, 18 1-12, 14-17, 19, 20
X Y	JP, 60-55389, A (株式会社日立製作所) 30. 3 月. 1985 (30. 03. 85), 全文、第1-6図 (ファミリーなし)	13, 18 1-12, 14-17, 19, 20
X Y	JP, 55-147670, A (カシオ計算機株式会社) 17. 11月. 1980 (17. 11. 80), 全文、第1-4図 (ファミリーなし)	13, 18 1-12, 14-17, 19, 20
X Y	JP, 60-73573, A (三菱電機株式会社) 25. 4月. 1985 (25. 04. 85), 全文、第1-3図 (ファミリーなし)	13, 18 1-12, 14-17, 19, 20